

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153880

(43)Date of publication of application : 10.06.1997

(51)Int.Cl.

H04J 11/00

(21)Application number : 07-311249 (71)Applicant : NEC IC MICROCOMPUT SYST LTD

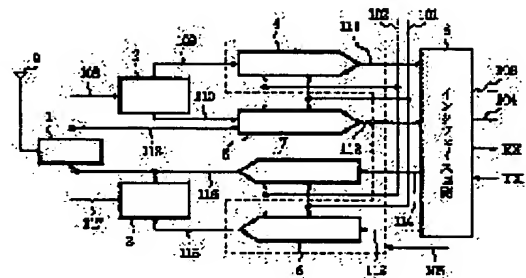
(22)Date of filing : 29.11.1995 (72)Inventor : KANBARA SATOSHI

(54) BASEBAND DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify configuration by sharing a reception converter and a transmission D/A converter in a time division manner, which correspond to the respective analog and digital modes.

SOLUTION: In receiving, an inputted orthogonal phase modulating signal 108 is demodulated in an orthogonal phase demodulator 2 and outputted analog data signals 109 and 110 are respectively converted into digital data signals 111 and 112 by the reception A/D converters 4 and 5 so as to be outputted, inputted to an interface circuit 8 and outputted from an RX terminal. In transmitting, transmission digital signals 113 and 114 which are inputted with the interface circuit 8 are respectively converted into the analog data signals 115 and 116 in the transmission D/A converters 6 and 7 so as to be inputted to an orthogonal phase modulator 3, outputted as the transmission orthogonal phase modulating signal 117 with an orthogonal phase modulating activation and transmission-outputted with a duplexer 1.



LEGAL STATUS

[Date of request for examination] 29.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2781762

[Date of registration] 15.05.1998

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153880

(43) 公開日 平成9年(1997)6月10日

(51) IntCl.⁶

H 0 4 J 11/00

識別記号

庁内整理番号

F I

H 0 4 J 11/00

技術表示箇所

A

審査請求 有 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願平7-311249

(22) 出願日 平成7年(1995)11月29日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 神原 聡

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

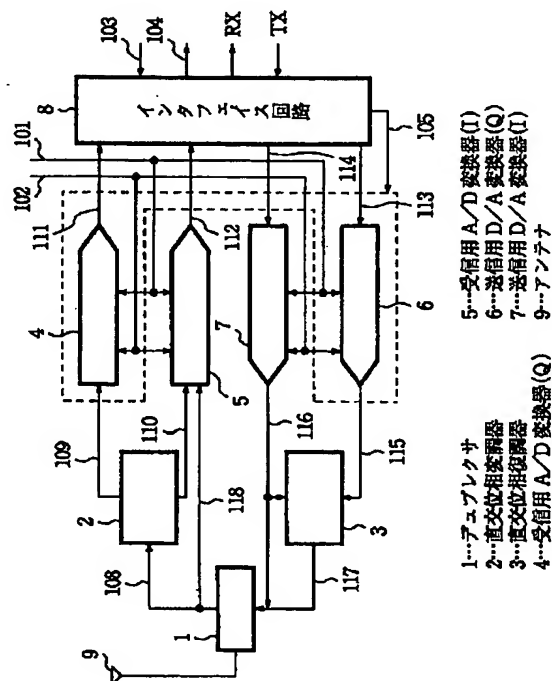
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ベースバンド装置

(57) 【要約】

【課題】 アナログモード／デジタルモードに対応する移動体通信ベースバンド装置の低消費電力化を図るとともに、モード切替え時のデッドタイムを排除する。

【解決手段】 デュプレクサ1からの直交位相変調信号108を復調してアナログデータ信号109／110を出力する直交位相復調器2と、アナログデータ信号115／116を入力して、直交位相変調信号117を出力する直交位相変調器3と、アナログデータ信号109を入力してデジタルデータ信号111を出力する受信用A／D変換器(Q)4と、アナログデータ信号110を入力してデジタルデータ信号112を出力する受信用A／D変換器(I)5と、デジタルデータ信号113を入力してアナログデータ信号115を出力する送信用D／A変換器(Q)6と、デジタルデータ信号114を入力してアナログデータ信号116を出力する送信用D／A変換器(I)7と、インタフェイス回路8とを備える。



【特許請求の範囲】

【請求項1】 送受信アンテナ、送受切替用のデュプレクサおよび所定の変復調系ユニットを含み、アナログ動作モードおよびデジタル動作モードに対応する移動体通信系のベースバンド装置において、

前記デュプレクサより出力される受信信号を入力して直交位相復調し、アナログ受信データ信号(Q)およびアナログ受信データ信号(I)を出力する直交位相復調器と、

前記アナログ受信データ信号(Q)を入力して変換し、デジタル受信データ信号(Q)を出力する受信用A/D変換器(Q)と、

前記アナログ受信データ信号(I)を入力して変換し、デジタル受信データ信号(I)を出力する受信用A/D変換器(I)と、

所定のデジタル送信データ信号(Q)を入力して変換し、アナログ送信データ信号(Q)を出力する送信用A/D変換器(Q)と、

所定のデジタル送信データ信号(I)を入力して変換し、アナログ送信データ信号(I)を出力する送信用A/D変換器(I)と、

前記アナログ送信データ信号(Q)および前記アナログ送信データ信号(I)を入力して直交位相変調し、送信信号を生成して前記デュプレクサに出力する直交変調器と、

前記デジタル受信データ信号(Q)、デジタル受信データ信号(I)、デジタル送信データ信号(Q)およびデジタル送信データ信号(I)を含むデジタル送受信データ信号と装置外部との間の入出力切替制御機能を有するとともに、所定のモード切替信号の入力を受けて、前記受信用A/D変換器(Q)および送信用A/D変換器

(Q)を含む構成要素におけるモード切替動作を制御し、当該モード切替動作の完了後に所定のモード信号を外部に出力するインタフェース回路と、

を少なくとも備えて構成され、アナログ動作モードとデジタル動作モードのモード切替時において、前記モード切替信号により制御されて、次記の動作を行うことを特徴とするベースバンド装置。

(a) 外部からの前記モード切替信号の入力を受けて、前記インタフェース回路より出力される所定の制御信号により、前記構成要素におけるモード切替動作を行い、前記インタフェース回路より出力される当該モード切替動作の完了を示すモード信号の確認後において、切替え後のモードに対応する所定のフレーム同期信号およびデータ・クロック信号を、前記受信用A/D変換器(Q)、受信用A/D変換器(I)、送信用A/D変換器(Q)および送信用A/D変換器(I)に供給する。

(b) アナログ動作モードにおいては、前記モード切替信号の入力を受けて、前記インタフェース回路より出力される前記制御信号の制御作用を介して、前記受信用A

/D変換器(I)および前記送信用A/D変換器(I)を、当該アナログ動作モード用として共用する。

【請求項2】 送受信アンテナ、送受切替用のデュプレクサおよび所定の変復調系ユニットを含み、アナログ動作モードおよびデジタル動作モードに対応する移動体通信系のベースバンド装置において、

前記デュプレクサより出力される受信信号を入力して直交位相復調し、アナログ受信データ信号(Q)およびアナログ受信データ信号(I)を出力する直交位相復調器と、

前記アナログ受信データ信号(Q)を入力して変換し、デジタル受信データ信号(Q)を出力する受信用A/D変換器(Q)と、

前記アナログ受信データ信号(I)を入力して変換し、デジタル受信データ信号(I)を出力する受信用A/D変換器(I)と、

所定のデジタル送信データ信号(Q)を入力して変換し、アナログ送信データ信号(Q)を出力する送信用A/D変換器(Q)と、

所定のデジタル送信データ信号(I)を入力して変換し、アナログ送信データ信号(I)を出力する送信用A/D変換器(I)と、

前記アナログ送信データ信号(Q)および前記アナログ送信データ信号(I)を入力して直交位相変調し、送信信号を生成して前記デュプレクサに出力する直交変調器と、

前記デジタル受信データ信号(Q)、デジタル受信データ信号(I)、デジタル送信データ信号(Q)およびデジタル送信データ信号(I)を含むデジタル送受信データ信号と装置外部との間の入出力切替制御機能を有するインタフェース回路と、

所定のモード切替信号の入力を受けて、前記受信用A/D変換器(Q)および送信用A/D変換器(Q)を含む構成要素におけるモード切替動作を制御する論理回路と、

を少なくとも備えて構成され、アナログ動作モードとデジタル動作モードのモード切替時において、前記モード切替信号により制御されて、次記の動作を行うことを特徴とするベースバンド装置。

(a) 外部からの前記モード切替信号の入力を受けて、前記論理回路より出力される所定の制御信号により、前記受信用A/D変換器(Q)および送信用A/D変換器(Q)を含む構成要素におけるモード切替動作を行い、当該構成要素より出力される当該モード切替動作の完了を示すモード信号の確認後において、切替え後のモードに対応する所定のフレーム同期信号およびデータ・クロック信号を、前記受信用A/D変換器(Q)、受信用A/D変換器(I)、送信用A/D変換器(Q)および送信用A/D変換器(I)に供給する。

(b) アナログ動作モードにおいては、前記モード切替

信号の入力を受けて、前記論理回路より出力される前記制御信号の制御作用を介して、前記受信用A/D変換器(I)および前記送信用A/D変換器(I)を、当該アナログ動作モード用として共用する。

【請求項3】 前記論理回路が、フリップフロップ回路により形成される請求項2記載のベースバンド装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はベースバンド装置に関し、特に移動体通信において周波数の異なる信号に対応する送受信切替用のベースバンド装置に関する。

【0002】

【従来の技術】従来のアナログ信号およびデジタル信号の両モードに対応する機能を有する移動体通信用のベースバンド装置は、その1例が図4に示されるように、アンテナ9に対応して送受切替作用を行うデュプレクサ1と、TDMA方式に準じる直交位相変調信号108を復調してアナログデータ信号109およびアナログデータ信号110を出力する直交位相復調器2と、送信用のアナログデータ信号115およびアナログデータ信号116を入力し、直交位相変調して送信用の直交位相変調信号117を出力する直交位相変調器3と、直交位相復調器2より出力されるアナログデータ信号109を入力して、デジタルデータ信号111に変換して出力する16ビットの受信用A/D変換器(Q)4と、同じく直交位相復調器2より出力されるアナログデータ信号110を入力して、デジタルデータ信号112に変換して出力する16ビットの受信用A/D変換器(I)5と、送信用のデジタルデータ信号113を入力して、アナログデータ信号115に変換して出力する16ビットの送信用D/A変換器(Q)6と、同じく送信用のデジタルデータ信号114を入力して、アナログデータ信号116に変換して出力する16ビットの送信用D/A変換器(I)7と、デュプレクサ1より出力されるアナログデータ信号118を入力して、デジタルデータ信号119に変換して出力する16ビットの受信用A/D変換器(A)11と、送信用のデジタルデータ信号120を入力して、アナログデータ信号121に変換して出力する16ビットの送信用D/A変換器(A)12と、これらのA/D変換器およびD/A変換器による送受信デジタルデータ信号に対するインタフェース機能を有するインタフェース回路8とを備えて構成される。

【0003】また、図5(a)、(b)、(c)、(d)、(e)、(f)、(g)および(h)は、本従来例における動作タイミング図である。以下、図4および図5を参照して、本従来例の動作について説明する。

【0004】図4において、アナログモード時においては、受信用A/D変換器(A)11および送信用D/A変換器(A)12は、周波数が32kHzのフレーム同期信号106(図5(d)参照)と周波数が512kHz

zのデータ・クロック信号107(図5(e)参照)に同期して動作しており、受信時においては、受信用A/D変換器(A)11において、アンテナ9およびデュプレクサ1を介して入力されるアナログデータ信号118がデジタルデータ信号119(図5(f)参照)に変換され、インタフェース回路8に入力されてRX端子より出力される。また、送信時においては、送信用D/A変換器(A)12において、インタフェース回路8を介して入力される送信用のデジタルデータ信号120(図5(f)参照)がアナログデータ信号121に変換されて、デュプレクサ1およびアンテナ9を介して送信出力される。

【0005】また、デジタルモード時においては、受信用A/D変換器(Q)4および受信用A/D変換器(I)5と、送信用D/A変換器(Q)6および送信用D/A変換器(I)7は、共に周波数が194.4kHzのフレーム同期信号101(図5(a)参照)と周波数が3.1104MHzのデータ・クロック信号102(図5(b)参照)に同期して動作しており、受信時においては、アンテナ9およびデュプレクサ1を介して入力される直交位相変調信号108は、直交位相復調器2において復調され、直交位相復調器2より出力されるアナログデータ信号109および110は、それぞれ受信用A/D変換器(Q)4および受信用A/D変換器(I)5において、デジタルデータ信号111(図5(c)参照)およびデジタルデータ信号112(図5(c)参照)に変換されて出力され、インタフェース回路8に入力されてRX端子より出力される。また、送信時においては、送信用D/A変換器(Q)6および送信用D/A変換器(I)7において、インタフェース回路8を介して入力される送信用のデジタルデータ信号113およびデジタルデータ信号114は、それぞれアナログデータ信号115およびアナログデータ信号116に変換されて直交位相変調器3に入力され、直交位相変調器3における直交位相変調作用を介して、送信用の直交位相変調信号117として出力されて、デュプレクサ1およびアンテナ9を介して送信出力される。

【0006】アナログモード時において受信待機中または通話中の間においては、アンテナおよびデュプレクサ1を介して入力される周波数変調されたアナログデータ信号118は、受信用A/D変換器(A)11において復調され、16ビットのデジタルデータ信号119に変換されて、インタフェース回路8を介してRX端子より外部に出力される。RX端子より出力される当該デジタルデータ信号は、所定の制御系および携帯端末等に伝達される。また、送信時には、携帯端末および制御系からの16ビットのデジタルデータ信号がTX端子を經由してインタフェース回路8に入力され、デジタルデータ信号120として送信用D/A変換器(A)12に入力される。当該16ビットのデジタルデータ信号120は、

前述のように送信用D/A変換器(A)12においてアナログデータ信号121に変換され、デュプレクサ1およびアンテナ9を介して送信出力される。

【0007】この場合において、前記携帯端末機が、アナログ・サービスエリアにおいて通話中または受信待機中の状態にあり、当該携帯端末機が、当該アナログ・サービスエリアからデジタル・サービスエリアに移動する場合には、送受信信号のデータレートとの関係により、フレーム同期信号とデータ・クロック信号の周波数をそれぞれ変更することが必要となる。即ち、アナログモードにおいて、受信用A/D変換器(A)11および送信用D/A変換器(A)12の同期用として使用されていた32kHzのフレーム同期信号106と512kHzのデータ・クロック信号107の代わりに、デジタルモードに対応する受信用A/D変換器(Q)4および受信用A/D変換器(I)5と、送信用D/A変換器(Q)6および送信用D/A変換器(I)7の同期用として使用される194.4kHzのフレーム同期信号101と3.1104MHzのデータ・クロック信号102に変更することが必要となる。その際の動作モード変更に対応するフレーム同期信号とデータ・クロック信号の切替えは、TX端子よりインタフェース回路8を介して、各A/D変換器および各D/A変換器に入力されるモード切替信号103により行われるが、モード切替え過程においては、インタフェース回路8において、アナログモードに対応するデジタルデータ信号は、デジタルモードのデジタルデータ信号に切替えられて、対応するRX端子またはTX端子に接続される。

【0008】そして、デジタルモードに移行して受信入力がある場合には、アンテナ9およびデュプレクサ1を介して出力される直交位相変調信号108は、直交位相復調器2において復調され、出力されるアナログデータ信号109および110は、それぞれ受信用A/D変換器(Q)4および受信用A/D変換器(I)5に入力されて、デジタルデータ信号111(図5(c)参照)およびデジタルデータ信号112(図5(c)参照)に変換されて出力され、インタフェース回路8に入力される。インタフェース回路8においては、これらのデジタルデータ信号111およびデジタルデータ信号112を含むデジタルデータ信号が統合され、統合された16ビットのデジタルデータ信号は、動作モードの切替えとともに、インタフェース回路8において、アナログモードに対応するデータD2XXX(図5(f)参照)からデジタルモードに対応するデータD1XXX(図5(c)参照)に切替えられて、RX端子より携帯端末および制御系等に出力される。また送信時においては、携帯端末および制御系からの16ビットのデジタルデータ信号が、データレートがアナログモードに対応するデータD2XXXデータからデジタルモードに対応するデータD1XXXに切替えられて、TX端子を介してインタフェ

ース回路8に入力される。インタフェース回路8より出力される送信用のデジタルデータ信号113および114は、送信用D/A変換器(Q)6および送信用D/A変換器(I)7において、それぞれアナログデータ信号115およびアナログデータ信号116に変換されて出力され、これらのアナログデータ信号は、直交位相変調器3において送信用の直交位相変調信号117に変換されて、デュプレクサ1およびアンテナ9を介して送信出力される。

【0009】また、図6は、他の従来のベースバンド装置の構成を示すブロック図であるが、本従来例は、アンテナ9に対応して送受切替作用を行うデュプレクサ1と、直交位相変調信号108を復調してアナログデータ信号109および110を出力する直交位相復調器2と、送信用のアナログデータ信号115および106を入力し、直交位相変調して送信用の直交位相変調信号117を出力する直交位相変調器3と、直交位相復調器2より出力されるアナログデータ信号109を入力して、デジタルデータ信号111に変換して出力する16ビットの受信用A/D変換器(Q)4と、同じく直交位相復調器2より出力されるアナログデータ信号110を入力して、デジタルデータ信号112に変換して出力する16ビットの受信用A/D変換器(I)5と、送信用のデジタルデータ信号113を入力して、アナログデータ信号115に変換して出力する16ビットの送信用D/A変換器(Q)6と、同じく送信用のデジタルデータ信号114を入力して、アナログデータ信号116に変換して出力する16ビットの送信用D/A変換器(I)7と、これらのA/D変換器およびD/A変換器によるデジタル送受信信号に対するインタフェース機能を有するインタフェース回路8とを備えて構成される。

【0010】本従来例においては、図7(a)、(b)、(c)、(d)および(e)の動作タイミング図に示されるように、各モードのフレーム同期信号とデータ・クロック信号の周期とデータ形式は、前述の従来例の場合と同様である。本従来例においては、動作モードの切替えのタイミングは、外部よりインタフェース回路8に入力されるモード切替え信号103を介して、当該インタフェース回路8より出力されるパワーアップ信号105により、受信用A/D変換器(Q)4および送信用D/A変換器(I)6の動作を切替えて、その後に、デジタルモードに対応する周波数のフレーム同期信号およびデータ・クロック信号を、それぞれアナログモードに対応する周波数のフレーム同期信号およびデータ・クロック信号に切替えるようにしている。

【0011】

【発明が解決しようとする課題】上述した従来のベースバンド装置においては、図4に示される従来例の場合には、データレートの差異により、デジタル送受信用のA/D変換器およびD/A変換器が、それぞれ2組ずつ必

要となり、またアナログ送受信用のA/D変換器およびD/A変換器も1組必要とし、これらの構成要素の増大に伴ない、消費電力ならびにコストも増大するという欠点がある。

【0012】更に、インタフェイス回路においてモードの切替えが行われる際に、アナログモードとデジタルモードのデータレートの違いに起因して、最大デジタルモードにおけるフレーム同期信号の1フレーム分のデータデッドスペースが生じ、これにより、受信側においては、インタフェイス回路より出力されるデジタル受信信号の処理に当り障害が発生する恐れがあるという欠点がある。

【0013】また、図6に示される他の従来例の場合には、モードの切替えが行われる際に、送受信用のA/D変換器およびD/A変換器におけるパワーアップの時間が一定でない場合に、アナログモードからデジタルモードに切替えられた時に、切替えの対象となったA/D変換器およびD/A変換器のパワーアップに要する時間の差異により、モード切替え後におけるフレーム同期信号の入るタイミングが不明瞭な状態となり、正確なデータ送受信ができない状態が生じるという欠点がある。仮に、パワーアップ時間を合わせるために、パワーアップ時間を十分にとると、図7(e)に示されるように、 T_1 の時間帯が長くなり、携帯端末の機能としては致命的になるという欠点がある。

【0014】

【課題を解決するための手段】第1の発明のベースバンド装置は、送受信アンテナ、送受切替用のデュプレクサおよび所定の変復調系ユニットを含み、アナログ動作モードおよびデジタル動作モードに対応する移動体通信系のベースバンド装置において、前記デュプレクサより出力される受信信号を入力して直交位相復調し、アナログ受信データ信号(Q)およびアナログ受信データ信号(I)を出力する直交位相復調器と、前記アナログ受信データ信号(Q)を入力して変換し、デジタル受信データ信号(Q)を出力する受信用A/D変換器(Q)と、前記アナログ受信データ信号(I)を入力して変換し、デジタル受信データ信号(I)を出力する受信用A/D変換器(I)と、所定のデジタル送信データ信号(Q)を入力して変換し、アナログ送信データ信号(Q)を出力する送信用A/D変換器(Q)と、所定のデジタル送信データ信号(I)を入力して変換し、アナログ送信データ信号(I)を出力する送信用A/D変換器(I)と、前記アナログ送信データ信号(Q)および前記アナログ送信データ信号(I)を入力して直交位相変調し、送信信号を生成して前記デュプレクサに出力する直交変調器と、前記デジタル受信データ信号(Q)、デジタル受信データ信号(I)、デジタル送信データ信号(Q)およびデジタル送信データ信号(I)を含むデジタル送受信データ信号と装置外部との間の入出力切替制御機能

を有するとともに、所定のモード切替信号の入力を受けて、前記受信用A/D変換器(Q)および送信用A/D変換器(Q)を含む構成要素におけるモード切替動作を制御し、当該モード切替動作の完了後に所定のモード信号を外部に出力するインタフェイス回路と、を少なくとも備えて構成され、アナログ動作モードとデジタル動作モードのモード切替時において、前記モード切替信号により制御されて、次記の動作を行うことを特徴としている。

(a) 外部からの前記モード切替信号の入力を受けて、前記インタフェイス回路より出力される所定の制御信号により、前記構成要素におけるモード切替動作を行い、前記インタフェイス回路より出力される当該モード切替動作の完了を示すモード信号の確認後において、切替え後のモードに対応する所定のフレーム同期信号およびデータ・クロック信号を、前記受信用A/D変換器(Q)、受信用A/D変換器(I)、送信用A/D変換器(Q)および送信用A/D変換器(I)に供給する。

(b) アナログ動作モードにおいては、前記モード切替信号の入力を受けて、前記インタフェイス回路より出力される前記制御信号の制御作用を介して、前記受信用A/D変換器(I)および前記送信用A/D変換器(I)を、当該アナログ動作モード用として共用する。

【0015】また、第2の発明のベースバンド装置は、送受信アンテナ、送受切替用のデュプレクサおよび所定の変復調系ユニットを含み、アナログ動作モードおよびデジタル動作モードに対応する移動体通信系のベースバンド装置において、前記デュプレクサより出力される受信信号を入力して直交位相復調し、アナログ受信データ信号(Q)およびアナログ受信データ信号(I)を出力する直交位相復調器と、前記アナログ受信データ信号(Q)を入力して変換し、デジタル受信データ信号(Q)を出力する受信用A/D変換器(Q)と、前記アナログ受信データ信号(I)を入力して変換し、デジタル受信データ信号(I)を出力する受信用A/D変換器(I)と、所定のデジタル送信データ信号(Q)を入力して変換し、アナログ送信データ信号(Q)を出力する送信用A/D変換器(Q)と、所定のデジタル送信データ信号(I)を入力して変換し、アナログ送信データ信号(I)を出力する送信用A/D変換器(I)と、前記アナログ送信データ信号(Q)および前記アナログ送信データ信号(I)を入力して直交位相変調し、送信信号を生成して前記デュプレクサに出力する直交変調器と、前記デジタル受信データ信号(Q)、デジタル受信データ信号(I)、デジタル送信データ信号(Q)およびデジタル送信データ信号(I)を含むデジタル送受信データ信号と装置外部との間の入出力切替制御機能を有するインタフェイス回路と、所定のモード切替信号の入力を受けて、前記受信用A/D変換器(Q)および送信用A/D変換器(Q)を含む構成要素におけるモード切替

動作を制御する論理回路と、を少なくとも備えて構成され、アナログ動作モードとデジタル動作モードのモード切替え時において、前記モード切替え信号により制御されて、次記の動作を行うことを特徴としている。

(a) 外部からの前記モード切替え信号の入力を受けて、前記論理回路より出力される所定の制御信号により、前記受信用A/D変換器(Q)および送信用A/D変換器(Q)を含む構成要素におけるモード切替え動作を行い、当該構成要素より出力される当該モード切替え動作の完了を示すモード信号の確認後において、切替え後のモードに対応する所定のフレーム同期信号およびデータ・クロック信号を、前記受信用A/D変換器(Q)、受信用A/D変換器(I)、送信用A/D変換器(Q)および送信用A/D変換器(I)に供給する。

(b) アナログ動作モードにおいては、前記モード切替え信号の入力を受けて、前記論理回路より出力される前記制御信号の制御作用を介して、前記受信用A/D変換器(I)および前記送信用A/D変換器(I)を、当該アナログ動作モード用として共用する。

【0016】なお、前記第2の発明における前記論理回路は、フリップフロップ回路により形成するようにしてもよい。

【0017】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0018】図1は本発明の第1の実施形態の構成を示すブロック図である。図1に示されるように、本実施形態は、アンテナ9に対応して送受切替作用を行うデュプレクサ1と、デュプレクサ1より出力される直交位相変調信号108を復調してアナログデータ信号109およびアナログデータ信号110を出力する直交位相復調器2と、送信用のアナログデータ信号115およびアナログデータ信号116を入力して、直交位相変調して直交位相変調信号117を出力する直交位相変調器3と、直交位相復調器2より出力されるアナログデータ信号109を入力して、デジタルデータ信号111に変換して出力する16ビットの受信用A/D変換器(Q)4と、同じく直交位相復調器2より出力されるアナログデータ信号110を入力して、デジタルデータ信号112に変換して出力する16ビットの受信用A/D変換器(I)5と、送信用のデジタルデータ信号113を入力して、送信用のアナログデータ信号115に変換して出力する16ビットの送信用D/A変換器(Q)6と、同じく送信用のデジタルデータ信号114を入力して、送信用のアナログデータ信号116に変換して出力する16ビットの送信用D/A変換器(I)7と、これらのA/D変換器およびD/A変換器による送受信デジタルデータ信号に対するインタフェース機能を有するインタフェース回路8とを備えて構成される。

【0019】図1により明らかなように、本実施形態にお

いては、アナログモードにおける受信用A/D変換器および送信用D/A変換器が、デジタルモードにおける受信用A/D変換器(I)5および送信用D/A変換器(I)7と共用されていることであり、これにより回路構成が著しく簡易化されている。

【0020】また、図2(a)、(b)、(c)、(d)、(e)および(f)は、本実施形態における動作タイミング図である。以下、図1および図2を参照して、本実施形態の動作について説明する。

【0021】図1において、デジタルモード時においては、受信用A/D変換器(Q)4および受信用A/D変換器(I)5と、送信用D/A変換器(Q)6および送信用D/A変換器(I)7は、共に周波数が12.15kHzのフレーム同期信号101(図2(a)参照)と周波数が194.4kHzのデータ・クロック信号102(図2(b)参照)に同期して動作しており、受信時においては、アンテナ9およびデュプレクサ1を介して入力される直交位相変調信号108は、直交位相復調器2において復調され、直交位相復調器2より出力されるアナログデータ信号109および110は、それぞれ受信用A/D変換器(Q)4および受信用A/D変換器(I)5において、デジタルデータ信号111(図2(c)参照)およびデジタルデータ信号112(図2(c)参照)に変換されて出力され、インタフェース回路8に入力されてRX端子より出力される。また、送信時においては、送信用D/A変換器(Q)6および送信用D/A変換器(I)7において、インタフェース回路8を介して入力される送信用のデジタルデータ信号113およびデジタルデータ信号114は、それぞれアナログデータ信号115およびアナログデータ信号116に変換されて直交位相変調器3に入力され、直交位相変調器3における直交位相変調作用を介して、送信用の直交位相変調信号117として出力されて、デュプレクサ1およびアンテナ9を介して送信出力される。

【0022】また、アナログモード時においては、モード切替信号103(図2(d)参照)の入力を受けて、インタフェース回路8より出力される“L”レベルのパワーアップ信号105(図2(f)参照)により制御されて、受信用A/D変換器(Q)4および送信用D/A変換器(Q)6は非動作状態にあり、受信用A/D変換器(I)5と送信用D/A変換器(I)7が稼働状態に置かれて、アナログモード時に共用される。この場合には、アンテナ9およびデュプレクサ1を介して入力される周波数変調されたアナログデータ信号118は、受信用A/D変換器(I)5において復調され、16ビットのデジタルデータ信号112(図2(c)参照)に変換されて出力される。このデジタルデータ信号112は、インタフェース回路8を介してRX端子より出力され、所定の制御系および携帯端末等に伝達される。また、送信時には、携帯端末および制御系からの16ビットのデ

デジタルデータ信号がTX端子を經由してインタフェイス回路8に入力され、デジタルデータ信号114として送信用D/A変換器(I)7に入力される。当該16ビットの送信用のデジタルデータ信号114は、送信用D/A変換器(I)7においてアナログデータ信号116に変換され、デュプレクサ1およびアンテナ9を介して送信出力される。

【0023】次に、通話中または受信待機中の携帯端末が、アナログ・サービスエリアからデジタル・サービスエリアに移動して、動作モードがアナログモードからデジタルモードに切替わる時の動作について説明する。この場合においては、アナログモードにおけるフレーム同期信号の周期中の最後のデータビット以降において、外部よりインタフェイス回路8に“H”レベルのモード切替信号103(図2(d)参照)が入力され、これを受けて、当該インタフェイス回路8からは、所定のパワーアップ信号105が“L”レベルから“H”レベルに転換されて出力され(図2(f)参照)、対応する受信用A/D変換器(Q)4および送信用A/D変換器(Q)6に入力される。受信用A/D変換器(Q)4および送信用A/D変換器(Q)6においては、この“H”レベルのパワーアップ信号105の入力を受けてパワーアップされ稼働状態に設定される。従って、アナログモードにおいては、パワーアップされることなく非動作状態に置かれていた受信用A/D変換器(Q)4および送信用A/D変換器(Q)6が稼働状態となり、これにより、受信用A/D変換器(Q)4および送信用D/A変換器(Q)6と、受信用A/D変換器(I)5および送信用A/D変換器(I)7が、全て稼働状態に置かれて、デジタルモードに対応する動作状態となる。このようにして、装置内部におけるデジタルモードの切替え動作が終了すると、インタフェイス回路8からはモード信号104が“H”レベルから“L”レベルに転換されて出力される(図2(e)参照)。上述の“H”レベルのモード切替信号103がインタフェイス回路に入力された以降の時点においては、このモード信号104が“L”レベルに転換されて出力されるまでは、外部から供給されるフレーム同期信号101(図2(a)参照)およびデータ・クロック信号102(図2(b)参照)が、当該ベースバンド装置内に入力されることはない。従って、フレーム同期信号101およびデータ・クロック信号102は、装置内部の動作体制が完全にデジタルモードに切替えられた時点において、始めて受信用A/D変換器(Q)4および送信用D/A変換器(Q)6と、受信用A/D変換器(I)5および送信用A/D変換器(I)7に対する入力開始される。これにより、送受信の通信時におけるモード切替え時のデッドタイムの短縮を有効に図ることが可能となる。

【0024】図3は、本発明の第2の実施形態の構成を示すブロック図である。図3に示されるように、本実施

形態は、アンテナ9に対応して送受切替作用を行うデュプレクサ1と、デュプレクサ1より出力される直交位相変調信号108を復調してアナログデータ信号109およびアナログデータ信号110を出力する直交位相復調器2と、送信用のアナログデータ信号115およびアナログデータ信号116を入力して、直交位相変調して直交位相変調信号117を出力する直交位相変調器3と、直交位相復調器2より出力されるアナログデータ信号109を入力して、デジタルデータ信号111に変換して出力する16ビットの受信用A/D変換器(Q)4と、同じく直交位相復調器2より出力されるアナログデータ信号110を入力して、デジタルデータ信号112に変換して出力する16ビットの受信用A/D変換器(I)5と、送信用のデジタルデータ信号113を入力して、送信用のアナログデータ信号115に変換して出力する16ビットの送信用D/A変換器(Q)6と、同じく送信用のデジタルデータ信号114を入力して、送信用のアナログデータ信号116に変換して出力する16ビットの送信用D/A変換器(I)7と、モード切替信号103を受けて、パワーアップ信号105を出力するフリップフロップ10と、上記の受信用A/D変換器および送信用D/A変換器による送受信デジタルデータ信号に対するインタフェイス機能を有するインタフェイス回路8とを備えて構成される。

【0025】図1との対比により明らかなように、本実施形態の第1の実施形態との相違点は、本実施形態においては、モード切替時のパワーアップ信号105を生成する手段として、フリップフロップ10を新たに設けていることである。本実施形態においては、モード切替時に、フリップフロップ10より出力される“H”レベルのパワーアップ信号105の入力を受けて、受信用A/D変換器(Q)4および送信用D/A変換器(Q)6がパワーアップされ、これらの受信用A/D変換器(Q)4および送信用D/A変換器(Q)6より、直接モード信号104が外部に出力されるように回路形成されている。このモード切替時のパワーアップ信号105を生成方法以外の動作については、前述の第1の実施形態の場合と同様である。また、本実施形態においても、アナログモードにおける受信用A/D変換器および送信用D/A変換器が、デジタルモードにおける受信用A/D変換器(I)5および送信用D/A変換器(I)7と共用されており、回路構成が著しく簡易化されるとともに低消費電力化が図られている。また、モード切替え時における送受信のデッドタイムも同様に短縮されている。

【0026】

【発明の効果】以上説明したように、本発明は、動作モード切替え時のモード切替信号入力に対応して、ベースバンド装置内部よりモード切替え完了を示すモード信号を外部に出力し、当該モード信号出力のタイミングに対応して、アナログモードおよびデジタルモードのそれぞ

れに対応する受信用A/D変換器および送信用D/A変換器を時分割にて共用することにより、ベースバンド装置の構成を簡易化することが可能となり、消費電力の削減および装置コストの低減を図ることができるという効果がある。

【0027】また、動作モード切替え時の前記モード信号出力のタイミングに対応して、フレーム同期信号およびデータ・クロック信号を装置内部の受信用A/D変換器および送信用D/A変換器に供給することにより、送受信時における無為のデッドタイムを排除することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の構成を示すブロック図である。

【図2】前記1実施形態における動作タイミング図である。

【図3】本発明の第2の実施形態の構成を示すブロック図である。

【図4】従来例の構成を示すブロック図である。

【図5】前記従来例における動作タイミング図である。

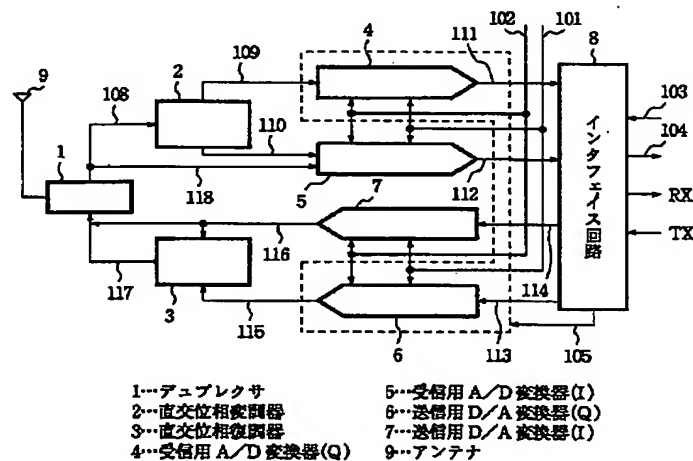
【図6】他の従来例の構成を示すブロック図である。

【図7】前記他の従来例における動作タイミング図である。

【符号の説明】

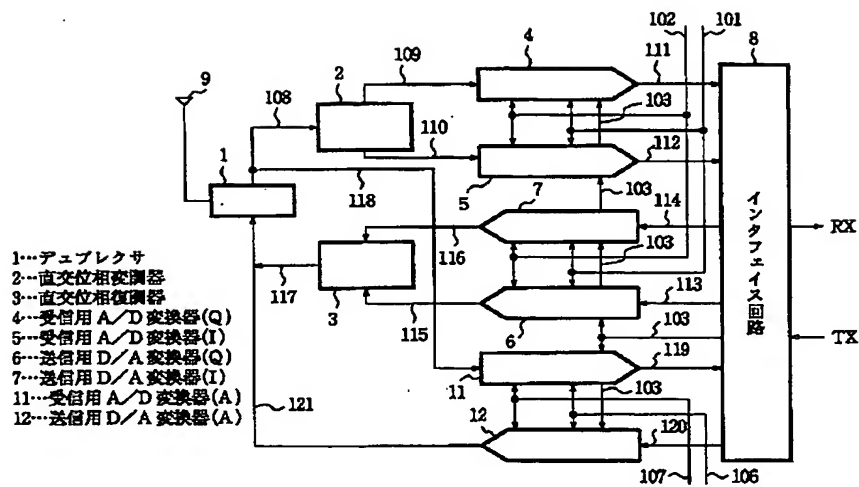
- 1 デュプレクサ
- 2 直交位相復調器
- 3 直交位相変調器
- 4 受信用A/D変換器(Q)
- 5 受信用A/D変換器(I)
- 6 送信用D/A変換器(Q)
- 7 送信用D/A変換器(I)
- 8 インタフェース回路
- 9 アンテナ
- 10 フリップフロップ
- 11 受信用A/D変換器(A)
- 12 送信用D/A変換器(A)
- 101、106 フレーム同期信号
- 102、107 データ・クロック信号
- 103 モード切替信号
- 104 モード信号
- 105 パワーアップ信号
- 108、117 直交位相変調信号
- 109、110、115、116、118、121 アナログデータ信号
- 111、112、113、114、119、120 デジタルデータ信号

【図1】

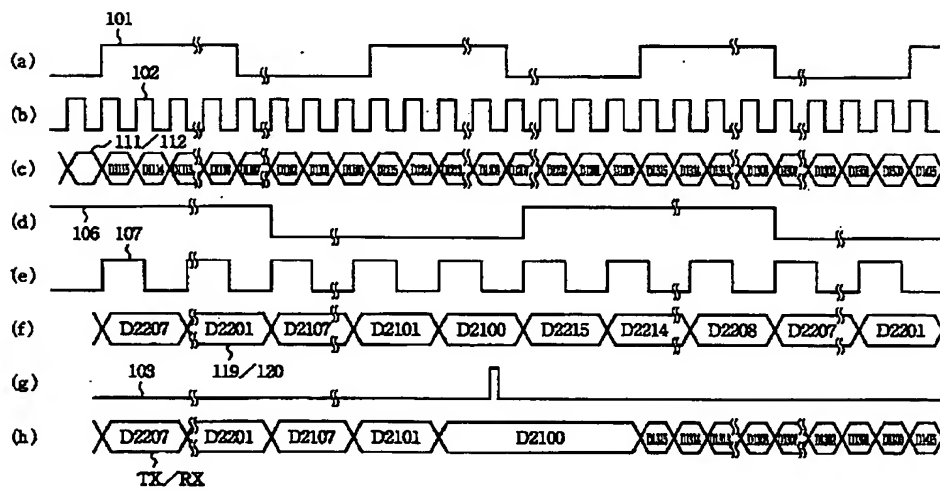


[illegible]

【図4】



【図5】



【図6】

